

(19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

(11) N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

(21) N° d'enregistrement national : 2 725 091
94 11704

(51) Int Cl^e : H 04 L 7/00, G 08 C 17/00, B 60 R 25/00

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 28.09.94.

(30) Priorité :

(71) Demandeur(s) : VALEO ELECTRONIQUE SOCIETE
ANONYME — FR.

(72) Inventeur(s) : TRAN LAURENT.

(43) Date de la mise à disposition du public de la
demande : 29.03.96 Bulletin 96/13.

(56) Liste des documents cités dans le rapport de
recherche préliminaire : Se reporter à la fin du
présent fascicule.

(60) Références à d'autres documents nationaux
apparentés : DIVISION DEMANDEE LE 23/09/94
BENEFICIAINT DE LA DATE DE DEPOT DU
22/04/94 DE LA DEMANDE INITIALE N° 94 05062
(ARTICLE L.612-4) DU CODE DE LA PROPRIETE
INTELLECTUELLE

(73) Titulaire(s) :

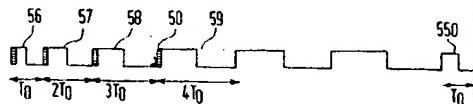
(74) Mandataire : VALEO MANAGEMENT SERVICES.

(54) PROCEDE DE SYNCHRONISATION NOTAMMENT POUR UN SYSTEME DE TRANSMISSION DE DONNEES
NUMERIQUES, PROCEDE DE TRANSMISSION ET SYSTEME DE TRANSMISSION LE METTANT EN OEUVRE.

(57) Le procédé de synchronisation de l'invention s'applique à tout type de signal codé selon un codage d'amplitude tel que chaque bit codé comporte au moins une transition entre l'instant de début et l'instant de fin du bit.

Il consiste à émettre une séquence de synchronisation comportant 16 bits ayant la même valeur logique, par exemple la valeur logique « 0 », dont la durée évolue selon une loi déterminée reconnaissable par un récepteur.

L'invention concerne aussi un procédé de transmission de données numériques comportant une telle étape de synchronisation, et un système de transmission tel qu'une télécommande qui le met en oeuvre.



FR 2 725 091 - A1



La présente invention concerne un procédé de synchronisation notamment pour un système de transmission de données numériques. Elle concerne aussi un procédé de transmission de données numériques, et système de transmission tel qu'une télécommande pour véhicule automobile, mettant en oeuvre un tel procédé.

L'invention trouve son application dans le domaine des communications radiofréquences numériques et plus particulièrement dans le domaine des télécommandes radiofréquences par exemple pour l'ouverture à distance des portes d'un véhicule.

Dans l'art antérieur, on connaît des méthodes de transmission de données numériques par émission d'une séquence de bits constituant un signal audiofréquence, ainsi appelé car il comporte un spectre de fréquences basses, qui est porté par une porteuse radiofréquence. Il existe différents types de codage des informations binaires.

La présente invention s'applique au cas d'un codage par niveau de tension ou par niveau de courant, encore définissable comme un codage d'amplitude par opposition aux codages de phase et aux codages par modulation de largeur d'impulsion par exemple.

Le signal de réception qui est reçu par un récepteur est tout d'abord démodulé, afin de restituer le signal audiofréquence. Ce signal audiofréquence est ensuite décodé. Le décodage consiste à reconnaître la séquence de bits qui a été émise en fonction de l'évolution du niveau du signal audiofréquence.

Dans l'art antérieur, on a proposé d'utiliser un échantillonneur permettant de prélever un échantillon du signal pendant une partie du bit où le niveau de ce signal est supposé significatif.

Après numérisation par un convertisseur analogique/numérique, une étape de décision permet de

déterminer si le niveau reçu est un niveau haut ou un niveau bas ce qui, selon le cas et selon le codage utilisé, revient à dire que le bit reçu correspond à un «1» logique ou à un «0» logique.

5 Le décodage par échantillonnage présente de bonnes caractéristiques car il autorise d'utiliser les méthodes de traitement numérique du signal qui permettent de réduire fortement le nombre de bits incorrectement décodés.

10 Il implique cependant un bon contrôle des instants d'échantillonnage. En effet, pour mettre en oeuvre un tel décodage, il est indispensable de savoir si l'échantillon prélevé est extrait de la première ou de la deuxième partie du bit, afin de pouvoir décider valablement de la valeur de ce bit.

15 Il est donc nécessaire que le récepteur dispose d'une information exacte sur la fréquence de transmission du signal radiofréquence émis, et d'une information précise sur l'instant du début d'un bit, afin de décoder le message reçu sans erreur.

20 Il est connu de faire précédé la transmission d'un message de données utiles par au moins une séquence de bits, dite séquence de synchronisation, dont le format permet au récepteur de récupérer lesdites informations.

25 La séquence de synchronisation est complétée par une séquence d'en-tête destinée à signaler au récepteur que la séquence de synchronisation est terminée, et donc que les prochains bits reçus seront des bits du message de données.

30 Dans l'état de la technique, la séquence de synchronisation est classiquement un message comportant de nombreuses transitions, tel qu'une suite alternée de « 0 » et de « 1 » logiques, permettant une récupération de la fréquence de transmission. De plus, la séquence d'en-tête est classiquement constituée par un message

binaire donné, c'est à dire une combinaison de bits de valeurs binaires déterminées et connues du récepteur.

La phase de synchronisation revêt une grande importance dans une transmission de données numériques, puisque c'est d'elle que dépend la qualité du décodage du message reçu par le récepteur, et donc la qualité de la transmission.

Or, en pratique, toute transmission radioélectrique est entachée de perturbations électromagnétiques liées aux conditions de propagation du signal dans le canal de transmission. Ces perturbations affectent particulièrement le niveau et la phase des signaux reçus et sont connues sous le nom de distorsion d'amplitude et de distorsion de phase. Ces phénomènes peuvent être sensiblement réduits par l'utilisation d'une forte puissance d'émission.

Une séquence de synchronisation et une séquence d'en-tête telles qu'on les définit dans l'état de la technique résumé ci-dessus, ne présente pas une immunité suffisante aux perturbations électromagnétiques sauf peut-être à utiliser une puissance d'émission qu'il est impossible d'envisager dans certaines applications. En effet, dans le cas d'une télécommande pour véhicule, l'émetteur est constitué par un dispositif autonome, voire un dispositif téléalimenté, et la puissance d'émission est limitée par des considérations importantes de consommation.

C'est un objet de la présente invention que de proposer un procédé de synchronisation simple et fiable, qui permette d'augmenter l'immunité aux perturbations électromagnétiques de la séquence de synchronisation d'une transmission de données numériques.

En effet, l'invention dispose un procédé de synchronisation, notamment pour un système de transmission de données numériques, du type de données

binaires codées selon un codage d'amplitude tel que chaque bit codé comporte au moins une transition entre l'instant de début et l'instant de fin du bit, cette transition partageant le bit en une première partie et une seconde partie ayant des niveaux de tension ou de courant différents, et consistant, pour l'émetteur :

5 - à émettre une séquence de synchronisation constituée de n bits, permettant au récepteur de récupérer la période de transmission du signal ;

10 - puis à émettre une séquence d'en-tête permettant de signaler au récepteur le début de la transmission d'une séquence de données utiles ;

et, pour le récepteur :

15 - à repérer, m fois consécutivement (m étant inférieur à n) parmi les n bits de la séquence de synchronisation émise par l'émetteur, la position d'un front de transition effectif entre deux niveaux différents d'un bit ;

20 - à en déduire la période de transmission du signal ;

- à définir une origine pour le calcul des instants caractéristiques d'une phase ultérieure d'acquisition et de décodage de la séquence de données utiles ;

25 - et à reconnaître la séquence d'en-tête émise par l'émetteur afin d'en déduire l'instant de début de la séquence de données émise par l'émetteur.

30 L'invention se caractérise en ce que la séquence de synchronisation et/ou la séquence d'en-tête sont constituées d'une séquence de bits ayant tous la même valeur logique, par exemple la valeur logique « 0 », et dont la durée de transmission évolue selon une loi d'évolution prédéterminée reconnaissable par le récepteur.

Selon un autre aspect de l'invention, la loi d'évolution pré-déterminée de la durée de transmission d'un bit de la séquence de synchronisation et/ou de la séquence d'en-tête est une loi croissante, selon laquelle la durée d'un bit donné de cette séquence est augmentée d'un incrément déterminé, par rapport à la durée du bit qui le précède dans ladite séquence.

Selon un autre aspect de l'invention, la transition entre l'instant de début et l'instant de fin du bit intervient au milieu du bit, de sorte que cette transition partage le bit en deux parties de durées égales et ayant des niveaux de tension ou de courant différents.

Selon un autre aspect de l'invention le premier bit de la séquence de synchronisation et/ou le premier bit de la séquence d'en-tête, a une durée correspondant à la période de transmission du signal et en ce que l'incrément de la loi d'évolution pré-déterminée de la durée de transmission d'un bit de cette séquence est égal à la période de transmission du signal.

L'invention concerne aussi un procédé de transmission de données numériques, du type de données binaires codées selon un codage d'amplitude tel que chaque bit codé comporte au moins une transition entre l'instant de début et l'instant de fin du bit, cette transition partageant le bit en une première partie et une seconde partie ayant des niveaux de tension ou de courant différents, comportant une étape de synchronisation précédant une étape de transmission d'une séquence de données utiles, et qui se caractérise en ce que l'étape de synchronisation est effectuée suivant un procédé de synchronisation tel que décrit ci-dessus.

Selon un autre aspect de l'invention, le procédé de transmission comporte de plus une étape de resynchronisation, qui est activée dans certains cas

5

10

20

25

30

35

donnés seulement et qui consiste à redéfinir l'origine pour le calcul des instants caractéristiques de la phase d'acquisition et de décodage de la séquence de données utiles.

5 Selon un autre aspect de l'invention, l'étape de resynchronisation est activée lorsqu'un bit de la séquence de données, de valeur logique déterminée, par exemple de valeur logique « 0 », est décodé, tous les échantillons prélevés pendant la première partie de ce
10 bit lors d'une première phase d'échantillonnage ayant pour valeur des valeurs correspondant à un même niveau de tension ou de courant.

15 Selon un autre aspect de l'invention, lorsque l'étape de resynchronisation est activée, une phase d'échantillonnage intervient dès l'activation d'un moyen de détection des fronts montants du récepteur.

20 Selon un autre aspect de l'invention, l'étape de resynchronisation n'est validée, c'est à dire que l'origine pour le calcul des instants caractéristiques de la phase d'acquisition et de décodage de la séquence de données utiles n'est redéfinie, que lorsque tous les échantillons prélevés pendant ladite phase
25 d'échantillonnage ont pour valeur des valeurs correspondant à un même niveau de tension ou de courant.

30 L'invention concerne aussi un système de transmission tel qu'une télécommande utilisée pour le déverrouillage des immobiliseurs et/ou des ouvrants d'un véhicule, du type comportant un émetteur et un récepteur, l'émetteur émettant, sous forme d'une trame modulant une onde porteuse telle qu'un signal radiofréquence, des informations binaires codées selon un codage d'amplitude tel que chaque bit codé comporte au moins une transition entre l'instant de début et l'instant de fin du bit, cette transition partageant le bit en une première partie
35 et une seconde partie ayant des niveaux de tension ou de

courant différents, et qui se caractérise en ce qu'il met en oeuvre le procédé de transmission de données décrit ci-dessus

D'autres caractéristiques et avantages de la présente invention apparaîtront à la lecture de la description qui va suivre, en référence aux dessins annexés qui sont :

- la figure 1 : une représentation d'un signal de codage d'un bit de valeur «1» et d'un bit de valeur «0» selon le codage « Manchester RZ » ;

- la figure 2 : une représentation des phases d'échantillonnage et de la phase de décision, ainsi que de leur place dans la période de transmission d'un bit, selon un principe de décodage par échantillonnage ;

- la figure 3 : une représentation des instants d'échantillonnage au cours des phases d'échantillonnage du signal ;

- la figure 4 : un tableau illustrant la table de décision utilisée pour la phase de décision;

- la figure 5 : une représentation du format du signal émis lors de l'étape de synchronisation effectuée selon le procédé de l'invention ;

- la figure 6 : un schéma fonctionnel d'un récepteur mettant en oeuvre le procédé d'acquisition et de décodage de l'invention ;

- la figure 7 : une représentation d'une phase de resynchronisation en cours d'émission.

Le procédé de synchronisation selon l'invention s'applique à tout type de codage consistant à coder un bit d'information par un signal électrique dont l'amplitude porte l'information.

Dans l'exemple de réalisation qui est décrit ci-dessous, le codage retenu est un codage appelé « Manchester RZ ». A la figure 1, on a représenté les deux formes possibles d'un bit d'information codé suivant

ce codage, correspondant aux deux valeurs binaires possibles « 0 » et « 1 ».

Le temps élémentaire T_0 de transmission d'un bit est divisé en deux parties T_a et T_b pendant lesquelles le signal présente des niveaux différents.

Le codage d'un « 0 » logique s'effectue par mise à l'état bas du signal pendant la première partie T_a du bit et par mise à l'état haut du signal pendant la seconde partie du bit T_b .

Inversement, le codage d'un « 1 » logique s'effectue par mise à l'état haut du signal pendant la première partie T_a du bit et par mise à l'état bas du signal pendant la seconde partie du bit T_b .

Dans un mode de réalisation préféré de l'invention, le signal portant l'information est une tension et le niveau haut est représenté par une valeur de 5V alors que le niveau bas est représenté par une tension de 0V.

De plus, les bits sont transmis à une vitesse de 1 Kbits/s ce qui équivaut à une fréquence de transmission de 1 kHz et donc à un temps de transmission élémentaire T_0 de 1 ms.

Le codage « Manchester RZ » présente de bonnes caractéristiques car c'est un codage du type avec retour à zéro qui implique, pour chaque bit d'information transmis, au moins une transition entre le niveau haut et le niveau bas ou inversement.

En fonction des valeurs des bits transmis successivement dans un message d'émission, d'autres transitions peuvent bien sûr intervenir mais, quelque soit la séquence transmise et y compris lorsqu'il s'agit d'une longue suite de bits ayant la même valeur, on est certain de recevoir un signal de réception comportant régulièrement des transitions.

5 Ceci est particulièrement avantageux dans les systèmes de transmission comportant des dispositifs de récupération d'horloge et/ou de récupération de rythme pour lesquels une carence de transitions peut entraîner un décrochage fatal du système de réception.

10 On se limitera ici au cas d'un codage régulier, c'est à dire pour lequel la transition intervient au milieu du bit, la première partie T_a et la seconde partie T_b du bit ayant ainsi la même longueur égale à $500 \mu s$. Par souci de simplicité, on parlera de la première et de la seconde moitié du bit.

15 Le principe du procédé de décodage utilisé, tel que représenté à la figure 2 sur laquelle deux bits sont visibles, consiste à opérer deux séries d'échantillonnage par temps de transmission T_0 d'un bit.

La première série d'échantillonnage intervient pendant une fenêtre temporelle 21 située sensiblement au milieu de la première moitié du bit à décoder.

20 La seconde série d'échantillonnage intervient pendant une fenêtre temporelle 22 située sensiblement au milieu de la seconde moitié du bit à décoder.

25 De plus, une phase de décision destinée à attribuer une valeur au bit à décoder intervient pendant une fenêtre temporelle 23 venant immédiatement après la fenêtre temporelle 22 qui correspond à la seconde série d'échantillonnage.

Ainsi la décision peut prendre en compte les échantillons correspondant à la première moitié et à la seconde moitié du bit à décoder.

30 En fait, la fréquence d'échantillonnage est très supérieure à la fréquence $1/T_0$ de transmission des bits d'information, et la largeur des fenêtres d'échantillonnage 21 et 22 est telle que plusieurs échantillons sont prélevés pendant chacune de ces fenêtres temporelles. Dans un mode de réalisation préféré

de l'invention, on prélève onze échantillons par phase d'échantillonnage 21 ou 22, c'est à dire par moitié de bit à décoder. Ces échantillons E1-E11 et E12-E22 sont symbolisés à la figure 3 par des flèches verticales.

5 Chaque échantillon E1-E22 est numérisé et comparé à un seuil. Selon un mode de réalisation possible, si la valeur de l'échantillon est supérieure à 2,5V on considère que l'échantillon indique une valeur correspondant à un « 1 » logique, et si cette valeur est inférieure à 2,5V on considère que l'échantillon indique une valeur correspondant à un « 0 » logique.

10 Une fois les valeurs des échantillons E1-E22 ainsi attribuées, elles sont sauvegardées dans une mémoire du récepteur à des fins de traitement lors de la phase de décision 23.

15 Lors de cette phase de décision, un calculateur détermine si tous les échantillons E1-E11 prélevés pendant la première moitié du bit à décoder ont la même valeur après comparaison avec le seuil. Si tous ces échantillons indiquent la valeur logique « 1 » par exemple, il est inutile de s'intéresser à la valeur des échantillons prélevés pendant la seconde moitié du bit à décoder et le calculateur décide d'attribuer la valeur « 1 » à ce bit.

20 En effet, il paraît très peu probable que la valeur du bit soit « 0 » si onze échantillons successivement prélevés dans la première moitié du bit à décoder ont, après comparaison avec le seuil, une valeur estimée à celle correspondant à un bit de valeur « 1 ».

25 Si par contre les valeurs des échantillons E1-E11 ne sont pas toutes égales, le calculateur du récepteur opère la phase de décision en tenant compte de l'ensemble des valeurs des échantillons E1-E22.

30 Un vote majoritaire sur les valeurs des échantillons E1-E11 prélevés dans la première moitié du

bit à décoder, et sur les valeurs des échantillons E12-E22 prélevés dans la seconde moitié de ce bit permet de décider d'une valeur à lui attribuer.

5 Le fait de ne pas considérer les valeurs des échantillons E12-E22 dans la phase de décision lorsque ces valeurs sont toutes égales constitue donc un gain de temps de calcul puisque la décision se fait en prenant en compte moins de données.

10 Le détail du résultat de la phase de décision en fonction des différentes configurations possibles sur la valeurs des bits E1-E22 est donné dans le tableau de la figure 4. Ce tableau constitue une illustration de la table de décision utilisée par le calculateur du récepteur. Il contient les valeurs attribuées au bit à décoder en fonction d'une part des valeurs des échantillons E1-E11 prélevés dans la première moitié du bit à décoder, et qui sont représentées en colonnes, et d'autre part en fonction des valeurs des échantillons E12-E22 prélevés dans la seconde moitié du bit à décoder, et qui sont représentées en lignes.

15 Chacun de ces groupes d'échantillons E1-E11 et E12-E22 est ici considéré dans son ensemble selon quatre cas possibles :

20 - le premier cas, noté « TOUS A « 0 » » sur la figure, est celui où tous les échantillons ont été estimés à la valeur « 0 » ;

25 - le second cas, noté « TOUS A « 1 » » sur la figure, est celui où tous les échantillons ont été estimés à la valeur « 1 » ;

30 - le troisième cas, noté « MAJORITE DE « 1 » » sur la figure, est celui où une majorité d'échantillons ont été estimés à la valeur « 1 » ;

35 - le quatrième cas, noté « MAJORITE DE « 0 » » sur la figure, est celui où une majorité d'échantillons ont été estimés à la valeur « 0 » ;

On constate à la figure 4 que dans la colonne correspondant au cas où tous les échantillons E1-E11 prélevés dans la première moitié du bit à décoder ont la valeur « 0 », la valeur attribuée au bit est toujours la valeur « 0 » et ce indépendamment de la valeur des échantillons E12-E22 prélevés dans la seconde moitié du bit.

En effet, dans un tel cas, les échantillons E12-E22 prélevés dans la seconde moitié du bit n'étant pas pris en compte par le calculateur lors de la phase de décision, leur valeur est sans incidence sur résultat de cette décision.

Les résultats de la colonne correspondant au cas où tous les échantillons E1-E11 prélevés dans la première moitié du bit à décoder ont la valeur « 1 », sont tous égaux à « 1 », et ce pour la même raison.

Le procédé de décodage décrit ci dessus présente de bonnes caractéristiques et permet de réduire fortement le nombre de bits incorrectement décodés.

Il implique cependant un bon contrôle de l'instant de début des fenêtres temporelles d'échantillonnage.

En effet, avec un décodage par échantillonnage, tel que celui du mode de réalisation préféré décrit ci-dessus, il est indispensable de savoir si les échantillons prélevés est extraits de la première ou de la deuxième moitié du bit, afin de pouvoir décider valablement de la valeur de ce bit.

Par ailleurs, les échantillons doivent être prélevés sensiblement au milieu de la moitié Ta ou de la moitié Tb du bit, afin de ne pas risquer d'approcher la zone de transition. En effet, aux abords de cette zone, le signal présente des oscillations dues à la transition entre le niveau haut et le niveau bas ou réciproquement. La prise en compte d'un échantillon prélevé dans cette

zone pourrait conduire à une détermination erronée de la valeur du bit.

C'est pourquoi le procédé d'acquisition et de décodage démarre par une étape de synchronisation entre l'émetteur et le récepteur.

L'étape de synchronisation a pour but d'assurer une connaissance des instants auxquels le récepteur doit procéder à l'échantillonnage. En pratique, le récepteur a besoin de connaître la période du signal audiofréquence, ainsi que la position de début d'un bit. Il détermine ensuite le début de la phase d'échantillonnage de façon à ce que celle-ci intervienne sensiblement au milieu de la première ou de la seconde moitié du bit à décoder.

Le récepteur comporte donc des moyens de récupération de rythme qui mettent en oeuvre le procédé de l'invention. Celui-ci est décrit en détail ci-dessous.

Dès l'ouverture du canal entre l'émetteur et le récepteur, ce dernier émet un signal dont le format est représenté à la figure 5(a). Ce signal comporte une séquence ou trame de synchronisation 53, une séquence ou trame d'en-tête 54, ainsi qu'une séquence ou trame de message 55.

La séquence de synchronisation 53 est destinée à la récupération du rythme par le récepteur, alors que la séquence d'en-tête 54 est destinée à indiquer au récepteur que l'étape de synchronisation est terminée et que les prochains bits reçus seront des bits de la séquence de message 55.

La séquence de synchronisation 54 est un train de seize bits ayant la valeur « 0 » et ayant une longueur égale à la période de transmission T_0 du signal. Cette séquence est représentée à la figure 5(b).

Le principe de la récupération de rythme consiste à repérer la position des fronts montants. Le récepteur, tel que représenté à la figure 6, comporte

donc un moyen de détection 61 des fronts montants dans le signal.

Le signal reçu pendant l'étape de synchronisation peut cependant être entaché de bruit et de parasites. Le moyen 61 de détection des fronts montants risque d'être activé par un pic de tension parasite, qui n'est pas un vrai front montant du signal.

Afin de permettre au calculateur de valider l'activation du moyen 61 de détection des fronts montants comme étant effectivement due à la détection d'un front montant, et donc de ne pas tenir compte de la détection d'un simple pic de tension pendant la demi-période T_a où le signal est théoriquement au niveau bas, le calculateur procède au déclenchement d'une phase de validation consistant à échantillonner le signal reçu dès ladite activation du moyen 61 de détection des fronts montants.

Cet échantillonnage constitue une phase d'échantillonnage qui a lieu pendant une fenêtre temporelle 51 visible à la figure 5 et au cours de laquelle une pluralité d'échantillons, par exemple onze, sont prélevés, numérisés et comparés à un seuil.

Une phase de décision suit cette phase d'échantillonnage, et est réalisée pendant une fenêtre d'échantillonnage 52. Si tous les échantillons ainsi prélevés ont une valeur correspondant à un niveau haut du signal, traduisant le fait que le signal est effectivement passé à l'état haut, le calculateur 61 valide la détection d'un front montant, sinon il ne la valide pas et il ne tient pas compte de l'activation du moyen 61 de détection des fronts montants.

Dans un mode de réalisation préféré de l'invention, l'ensemble des moyens nécessaires à la mise en oeuvre de cette phase de validation sont les mêmes que les moyens utilisé lors des phase d'échantillonnage de l'étape d'acquisition des données.

Lorsqu'un premier front montant est détecté, un compteur d'impulsions 62 commence à compter les impulsions émises par une horloge 63 du récepteur.

5 A la détection d'un second front montant par le moyen de détection 61, la valeur contenue dans le compteur d'impulsions 62 est sauvegardée dans un premier registre d'une mémoire 64 du récepteur, puis le compteur d'impulsions 62 est réinitialisé par remise à zéro et un nouveau comptage des impulsions d'horloge démarre.

10 A la détection d'un troisième front montant, la même opération est répétée et la valeur contenue dans le compteur d'impulsions est placée dans un second registre de la mémoire 64.

15 Il en est ainsi à chaque détection d'un front montant pendant l'étape de synchronisation, c'est à dire pendant l'émission des seize bits ayant la valeur « 0 » de la trame de synchronisation.

20 La différence entre les valeurs contenues dans le premier et le second registre précités, et plus généralement la différence entre les valeurs contenues dans deux registres successifs est calculée par un calculateur 65 du récepteur.

25 Si cette différence est égale trois fois de suite à une même valeur T_0' , alors le calculateur considère que cette valeur T_0' est la durée de transmission T_0 caractéristique d'un bit, c'est à dire aussi la période du signal audiofréquence.

30 De plus, les fronts montants qui sont détectés pendant l'étape de synchronisation correspondent toujours au milieu d'un bit, puisque les bits de la trame de synchronisation ont tous la valeur « 1 ».

35 Sachant repérer le milieu d'un bit et connaissant la valeur de la largeur d'un bit, le calculateur 65 définit l'instant t_0 correspondant au début de la première fenêtre d'échantillonnage 21 qui sera appliquée

au premier bit d'information reçu après la fin de la trame de synchronisation, et ce de façon à ce que cette fenêtre soit située sensiblement au milieu de la première moitié T_a de ce premier bit d'information. La référence 5 to est visible à la figure 2.

De même, l'instant t_2 correspondant au début de la seconde fenêtre d'échantillonnage 22 est sensiblement égal à l'instant t_0 augmenté d'une demi-période $T_0/2$.

L'étape de synchronisation permet donc au 10 calculateur de définir avec une bonne précision l'emplacement des fenêtres d'échantillonnage qu'il lui faut appliquer.

A la figure 5(c), on a représenté une autre 15 structure possible pour la séquence de synchronisation 53.

La structure de la figure 5(c) peut aussi être utilisée dans la séquence d'en-tête 54, qui, en plus de sa fonction d'en-tête, permet alors au calculateur de réaliser un complément de synchronisation. Dans ce cas, 20 la séquence de synchronisation 53 peut conserver la structure précédente, qui était représentée à la figure 5(b), ou peut présenter la structure de la figure 5(c).

Cette structure de la séquence de synchronisation et/ou de la séquence d'en-tête a procuré de meilleurs 25 résultats lors de tests réalisés pour éprouver la résistance du système de transmission notamment vis à vis des perturbations électromagnétiques.

Cette structure améliorée est constituée d'une suite de bits ayant la même valeur logique, par exemple 30 la valeur logique « 0 », et dont la durée de transmission évolue selon une loi prédéterminée reconnaissable par le récepteur.

Dans un mode de réalisation préféré de 35 l'invention, cette loi est une loi croissante. Le premier bit 56 de la séquence est émis avec une durée égale à la

durée de transmission nominale T_0 d'un bit. Chaque bit suivant de la séquence est ensuite émis avec une durée égale à la durée du bit précédent dans la séquence augmentée d'un incrément déterminé.

5 Avantageusement, cet incrément est égal à la durée de transmission nominale T_0 . Ainsi, le second bit 57 a une durée égale à $2T_0$, le troisième bit 58 a une durée égale à $3T_0$, le quatrième bit 59 a une durée égale à $4T_0$, etc...

10 Pour des raisons de clarté, la séquence de la figure 5(c) ne laisse apparaître que sept bits de durées croissantes. Elle est terminée par un bit 550 dont la durée est égale à la durée nominale T_0 de transmission d'un bit, et dont le rôle est de marquer la fin de la 15 séquence.

De même qu'avec la séquence de synchronisation de la figure 5(b), l'activation du moyen de détection d'un front montant 61 provoque le déclenchement d'une phase d'échantillonnage 50 selon le principe déjà décrit, pour 20 confirmer la détection d'un vrai front montant du signal.

La synchronisation est alors réalisée lorsque le calculateur du récepteur détecte avec succès une suite de trois bits consécutifs ayant des durées croissantes correspondant à des multiples entiers successifs de la période de transmission nominale T_0 .

On comprend que les conditions relatives au contrôle de l'instant d'échantillonnage soient contrariées par les phénomènes de dérive de l'horloge du récepteur et/ou par la perte de synchronisme de celle-ci vis à vis du signal reçu.

30 Afin de résoudre ces problèmes, le procédé d'acquisition et de décodage comprend aussi des étapes de resynchronisation du récepteur sur le signal reçu.

Ces étapes de resynchronisation interviennent automatiquement dès que des conditions requises pour leur 35

activation sont remplies. Elles sont complètement transparentes du point de vue de la transmission des bits d'informations car elles ne nécessitent pas l'émission d'une trame spéciale interrompant la transmission de l'information utile. Le principe d'une telle étape de resynchronisation, ainsi que les explications relatives aux conditions de son activation sont décrits ci-dessous en regard de la figure 7.

Une étape de resynchronisation intervient lors de la transmission d'un bit ayant la valeur « 0 », et lorsque tous les échantillons prélevés lors de la première phase d'échantillonnage, c'est à dire dans la première moitié du bit, sont de valeur correspondant à un état haut.

Lorsque tel est le cas, l'étape de resynchronisation proprement dite est lancée. A la détection du front montant suivant, qui est théoriquement le front montant correspondant à la transition de milieu de bit de valeur « 0 », une phase d'échantillonnage intervient qui permet de prélever une série d'échantillons, par exemple onze échantillons. L'analyse de ces échantillons est destinée à vérifier que l'activation du moyen de détection des fronts montants est effectivement due à une transition du signal depuis le niveau bas vers le niveau haut.

Dans l'affirmative, l'étape de resynchronisation est validée et le calculateur du récepteur se resynchronise sur le front montant détecté et validé.

Dans tous les autres cas, l'étape de resynchronisation est soit non lancée soit non validée, et la procédure de transmission des données se poursuit de façon normale.

A la figure 7, on a représenté trois configurations possibles concernant l'étape de resynchronisation.

A la figure 7(a), on a représenté sur un premier axe horizontal le signal transmis en fonction du temps et consistant en une séquence « 1,0,1 », et sur un second axe horizontal, une représentation des fenêtres temporelles caractéristiques du procédé.

Lorsqu'un « 1 » logique est transmis, le procédé de décodage s'accomplit suivant la procédure normale, c'est à dire avec une première phase d'échantillonnage 711 et éventuellement une seconde phase d'échantillonnage 712 ainsi qu'une phase de décision 713 concluant à la détection d'un « 1 ».

Pour un bit transmis ayant la valeur logique « 0 », et si les onze échantillons prélevés pendant la première phase d'échantillonnage 714 sont de valeur « 0 » alors une phase de décision rapide 715 permet de conclure à la détection d'un « 0 » logique et d'activer l'étape de resynchronisation.

Ainsi, à la détection du front montant 718 suivant, une phase d'échantillonnage 716 est déclenchée de façon à vérifier qu'il s'agit bien d'un front montant et non d'un pic de tension parasite. Sur la figure 7(a) on se place dans le cas où il s'agit bien d'un front montant c'est à dire que les onze échantillons prélevés pendant la phase d'échantillonnage 716 sont bien de valeur logique « 1 ». La première fenêtre d'échantillonnage 717 du bit suivant débute à un instant déterminé par le calculateur du récepteur ainsi resynchronisé, c'est à dire que cet instant est établi à partir de la connaissance de l'instant auquel c'est produit le front montant 718.

A la figure 7(b), on a représenté la même séquence de données binaires transmises, mais dans laquelle un pic de tension parasite 728 se produit pendant la première phase d'échantillonnage 724 du bit transmis ayant la valeur « 0 ».

5

10

15

20

25

30

35

De ce fait, et au moins un des échantillons prélevés ayant la valeur logique « 1 », l'étape de resynchronisation n'est pas activée et le procédé de décodage est poursuivi suivant le déroulement normal.

En effet, une seconde phase d'échantillonnage 726 ainsi qu'une phase de décision 725 interviennent dans la seconde moitié du bit à décoder.

De plus la première fenêtre d'échantillonnage 727 du bit suivant débute à un instant déterminé par le calculateur en fonction des données courantes de synchronisation.

A la figure 7(c), on a représenté une nouvelle fois la même séquence « 1,0,1 » de données binaires transmises.

L'échantillonnage effectué lors de la première moitié du bit transmis ayant la valeur logique « 0 », c'est à dire dans la première fenêtre temporelle 734, produit onze échantillons ayant tous la valeur logique « 0 », ce qui active l'étape de resynchronisation.

Ainsi une phase d'échantillonnage se produisant dans une fenêtre temporelle 736 est déclenchée pour produire onze échantillons. Une chute de tension parasite 738 entraînant la valeur logique « 0 » pour au moins un de ces échantillons, la phase de synchronisation n'est pas validée par le calculateur.

En conséquence, la fenêtre temporelle 737 correspondant à la première phase d'échantillonnage du bit suivant débute à un instant déterminé par le calculateur en fonction des données courantes de synchronisation.

On peut noter que le cas d'espèce décrit à la figure 7(c) est équivalent au cas où le moyen de détection des fronts montant est activé par un pic de tension parasite préalable à l'arrivée du vrai front montant de transition.

On voit donc que la resynchronisation n'est opérée que lorsque aucun doute n'existe sur la valeur du bit de valeur logique « 0 », et ce en raison du fait que la phase de synchronisation intervient pendant le temps qui est autrement alloué à la seconde phase d'échantillonnage à des fins de décision selon un mode dégradé, et l'on voit aussi que ladite resynchronisation n'est validée que lorsque aucun doute n'existe sur la détection effective d'un front montant.

Le procédé d'acquisition et de décodage selon l'invention permet des transmissions ayant un taux d'erreur pratique très inférieur aux valeurs typiques obtenues avec un procédé classique.

De plus, l'étape de resynchronisation effectuée pendant la transmission elle-même permet d'utiliser des oscillateurs ayant une dispersion importante par exemple jusqu'à 5%, alors que de telles dispersions seraient intolérables pour une application à ce type de transmission codée.

REVENDICATIONS

1. Procédé de synchronisation, notamment pour un système de transmission de données numériques, du type de données binaires codées selon un codage d'amplitude tel que chaque bit codé comporte au moins une transition entre l'instant de début et l'instant de fin du bit, cette transition partageant le bit en une première partie (Ta) et une seconde partie (Tb) ayant des niveaux de tension ou de courant différents, et consistant, pour l'émetteur :

- à émettre une séquence de synchronisation constituée de n bits, permettant au récepteur de récupérer la période de transmission (To) du signal ;

- puis à émettre une séquence d'en-tête permettant de signaler au récepteur le début de la transmission d'une séquence de données utiles ;

et, pour le récepteur :

- à repérer, m fois consécutivement (m étant inférieur à n) parmi les n bits de la séquence de synchronisation émise par l'émetteur, la position d'un front de transition effectif entre deux niveaux différents d'un bit ;

- à en déduire la période de transmission (To) du signal ;

- à définir une origine pour le calcul des instants caractéristiques d'une phase ultérieure d'acquisition et de décodage de la séquence de données utiles ;

- et à reconnaître la séquence d'en-tête émise par l'émetteur afin d'en déduire l'instant de début de la séquence de données émise par l'émetteur,

caractérisé en ce que la séquence de synchronisation et/ou la séquence d'en-tête sont constituées d'une séquence de bits ayant tous la même

valeur logique, par exemple la valeur logique « 0 », et dont la durée de transmission évolue selon une loi d'évolution pré-déterminée reconnaissable par le récepteur.

5

2. Procédé de synchronisation selon la revendication 1, caractérisé en ce que la loi d'évolution pré-déterminée de la durée de transmission d'un bit de la séquence de synchronisation et/ou de la séquence d'en-tête est une loi croissante, selon laquelle la durée d'un bit donné de cette séquence est augmentée d'un incrément déterminé, par rapport à la durée du bit qui le précède dans ladite séquence.

10

15

3. Procédé de synchronisation selon l'une quelconque des revendications précédentes, caractérisé en ce que la transition entre l'instant de début et l'instant de fin du bit intervient au milieu du bit, de sorte que cette transition partage le bit en deux parties (T_a, T_b) de durées égales et ayant des niveaux de tension ou de courant différents.

20

25

4. Procédé de synchronisation selon la revendication 2 et la revendication 3, caractérisé en ce que le premier bit de la séquence de synchronisation et/ou le premier bit de la séquence d'en-tête, a une durée correspondant à la période de transmission (T_0) du signal et en ce que l'incrément de la loi d'évolution pré-déterminée de la durée de transmission d'un bit de cette séquence est égal à la période de transmission (T_0) du signal.

30

35

5. Procédé de transmission de données numériques, du type de données binaires codées selon un codage d'amplitude tel que chaque bit codé comporte au moins une

transition entre l'instant de début et l'instant de fin du bit, cette transition partageant le bit en une première partie (Ta) et une seconde partie (Tb) ayant des niveaux de tension ou de courant différents, comportant une étape de synchronisation précédant une étape de transmission d'une séquence de données utiles, caractérisé en ce que l'étape de synchronisation est effectuée suivant un procédé selon l'une des revendications 1 à 4.

10

6. Procédé de transmission selon la revendication 5, caractérisé en ce qu'il comporte de plus une étape de resynchronisation, qui est activée dans certains cas donnés seulement et qui consiste à redéfinir l'origine pour le calcul des instants caractéristiques de la phase d'acquisition et de décodage de la séquence de données utiles.

20

7. Procédé de transmission selon la revendication 6, caractérisé en ce que l'étape de resynchronisation est activée lorsqu'un bit de la séquence de données, de valeur logique déterminée, par exemple de valeur logique « 0 », est décodé, tous les échantillons (E1-E11) prélevés pendant la première partie (Ta) de ce bit lors d'une première phase d'échantillonnage (21) ayant pour valeur des valeurs correspondant à un même niveau de tension ou de courant.

30

8. Procédé de transmission selon la revendication 7, caractérisé en ce que, lorsque l'étape de resynchronisation est activée, une phase d'échantillonnage (716,736) intervient dès l'activation d'un moyen de détection des fronts montants (61) du récepteur.

35

9. Procédé de transmission selon la revendication 8, caractérisé en ce que l'étape de resynchronisation n'est validée, c'est à dire que l'origine pour le calcul des instants caractéristiques de la phase d'acquisition et de décodage de la séquence de données utiles n'est redéfinie, que lorsque tous les échantillons prélevés pendant ladite phase d'échantillonnage (716-736) ont pour valeur des valeurs correspondant à un même niveau de tension ou de courant.

10

10. Système de transmission tel qu'une télécommande utilisée pour le déverrouillage des immobiliseurs et/ou des ouvrants d'un véhicule, du type comportant un émetteur et un récepteur, l'émetteur émettant, sous forme d'une trame modulant une onde porteuse telle qu'un signal radiofréquence, des informations binaires codées selon un codage d'amplitude tel que chaque bit codé comporte au moins une transition entre l'instant de début et l'instant de fin du bit, cette transition partageant le bit en une première partie (Ta) et une seconde partie (Tb) ayant des niveaux de tension ou de courant différents, caractérisé en ce qu'il met en oeuvre le procédé de transmission de données selon l'une quelconque des revendications 5 à 9.

15

20

1/6

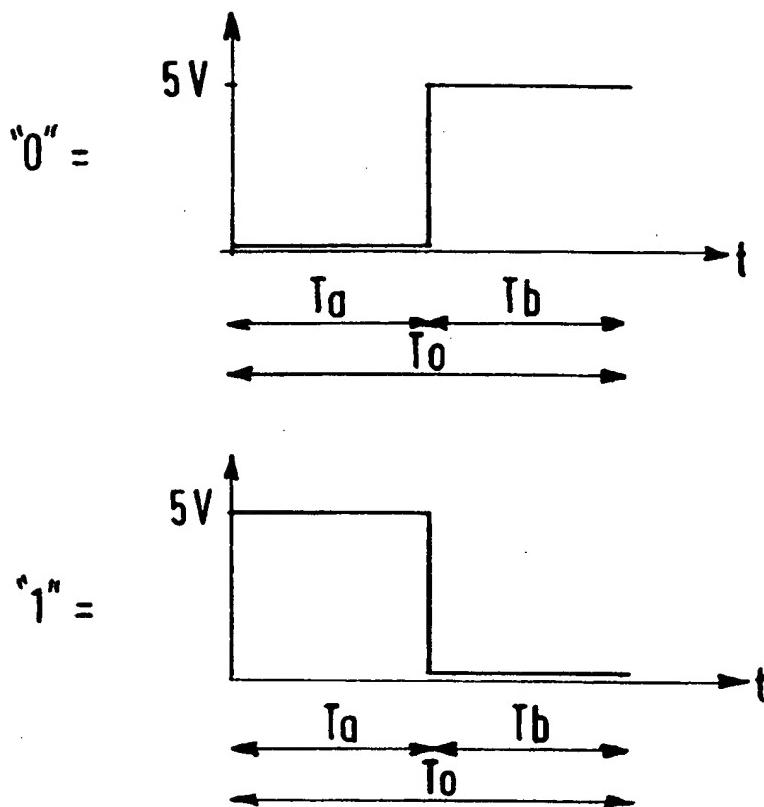


FIG.1

4/6

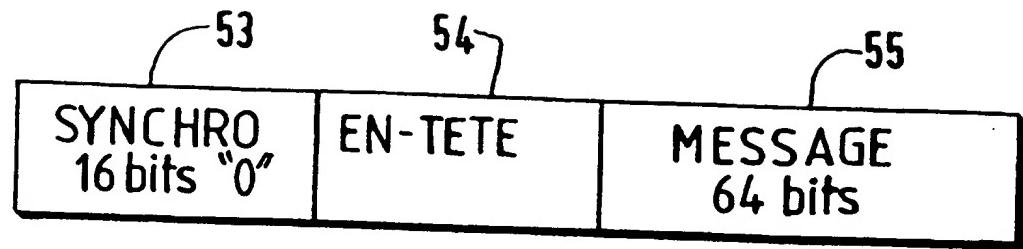


FIG. 5(a)

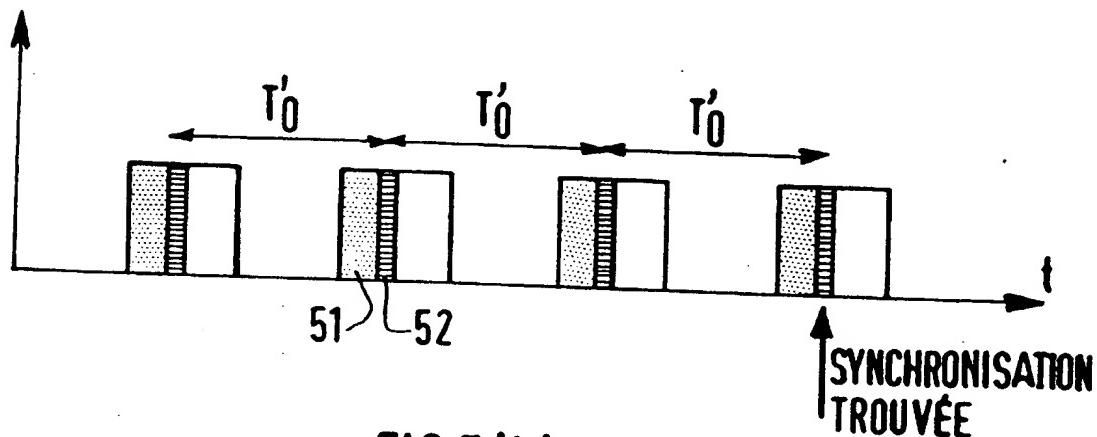


FIG. 5(b)

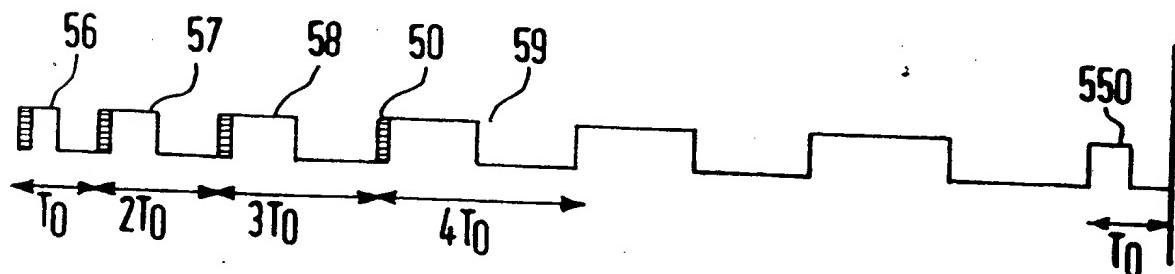


FIG. 5(c)

5/6

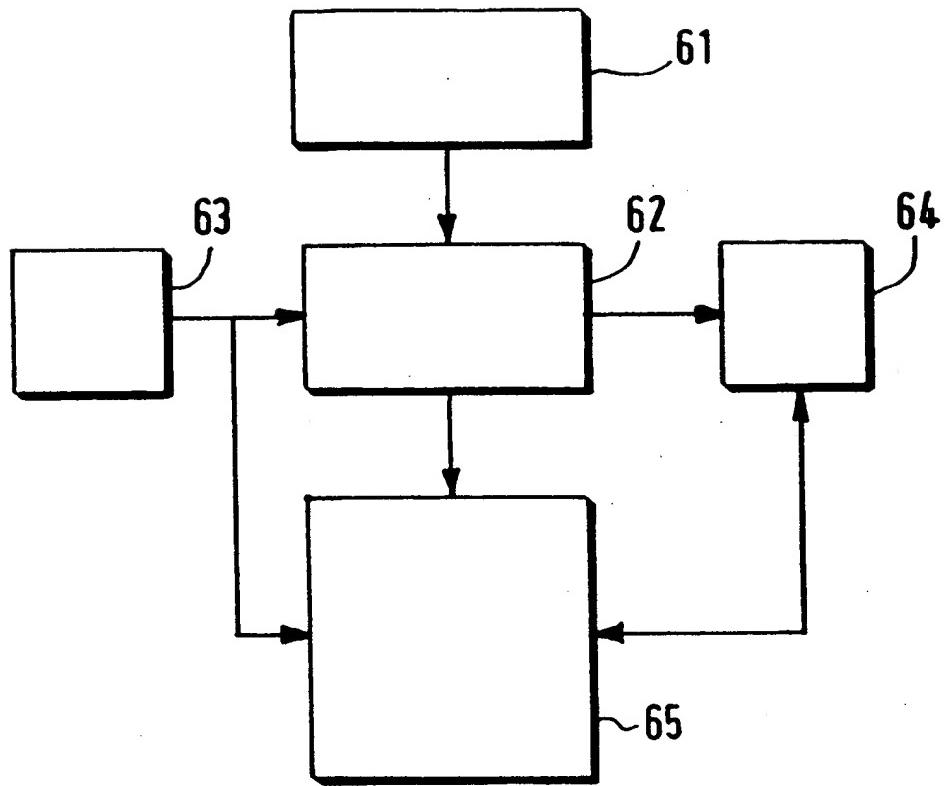


FIG. 6

6/6

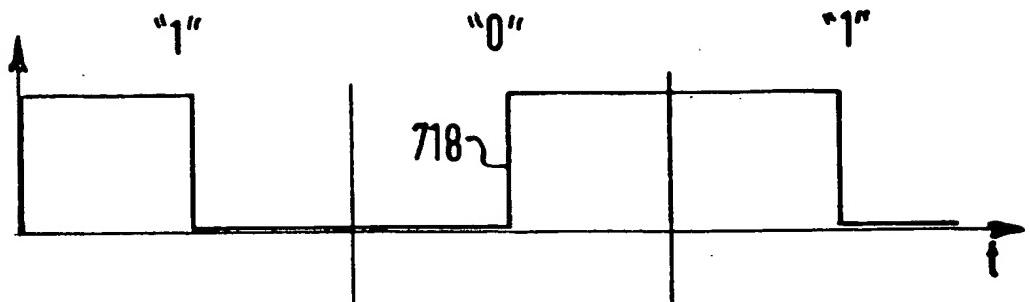


FIG.7(a)

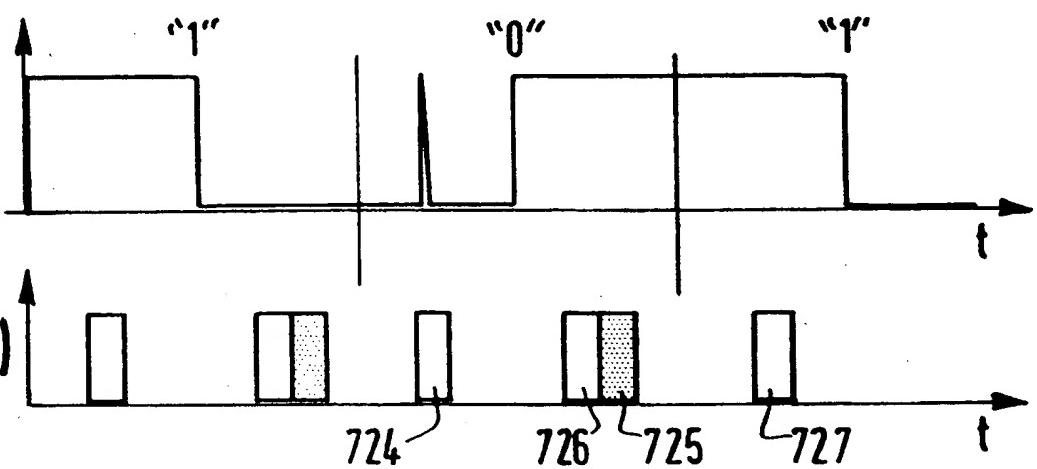


FIG.7(b)

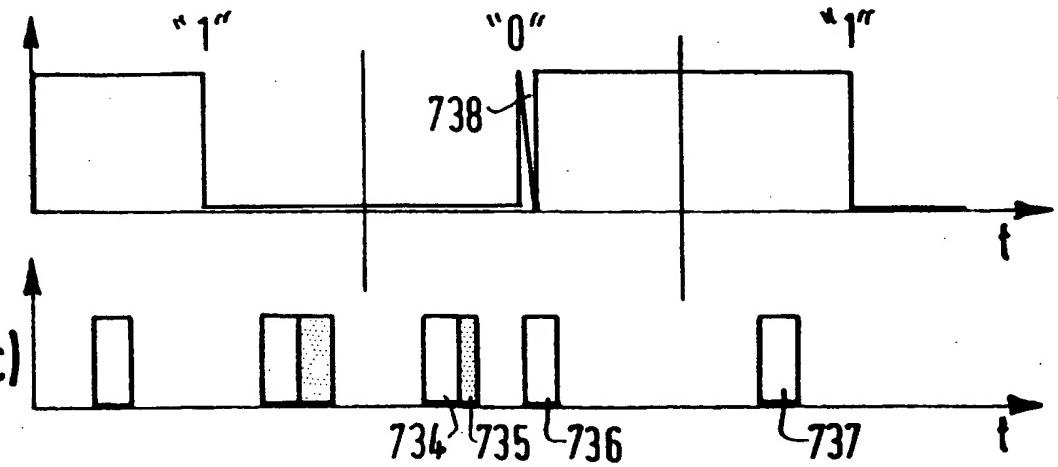


FIG.7(c)

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
PRELIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 506141
FR 9411704

Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendications concernées de la demande examinée				
X	GB-A-2 260 883 (NORTHERN TELECOM LTD) 28 Avril 1993 * page 2, ligne 13 - ligne 23 * * page 3, ligne 15 - page 4, ligne 16 * ---	1,3				
X	EP-A-0 266 285 (HEWLETT PACKARD FRANCE SA) 4 Mai 1988	1,3				
Y	* colonne 1, ligne 55 - colonne 2, ligne 13 * * colonne 2, ligne 36 - colonne 3, ligne 6 * * colonne 3, ligne 39 - ligne 55 * ---	2				
Y	US-A-4 589 120 (MENDALA JOHN M) 13 Mai 1986 * colonne 2, ligne 3 - ligne 19 * * colonne 3, ligne 60 - ligne 68 * * colonne 4, ligne 23 - ligne 56 * ---	2				
A	GB-A-799 150 (ERICSSON) 16 Mars 1955 * page 1, ligne 17 - ligne 54 * ---	1	DOMAINES TECHNIQUES RECHERCHES (Int.CL6)			
A	EP-A-0 008 238 (WARD GOLDSTONE LTD) 20 Février 1980 * page 2, ligne 23 - page 4, ligne 14 * -----	1-9	H04J H04L			
1	Date d'achèvement de la recherche 19 Juin 1995	Exécutant Van den Berg, J.G.J.				
CATEGORIE DES DOCUMENTS CITES						
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non écrite P : document intercalaire						
T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons A : membre de la même famille, document correspondant						

THIS PAGE BLANK (uspto)